

CLIPPEDIMAGE= JP401308082A
PAT-NO: JP401308082A
DOCUMENT-IDENTIFIER: JP 01308082 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 12, 1989

INVENTOR-INFORMATION:

NAME
NAKAMURA, OSAMU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CASIO COMPUT CO LTD	N/A

APPL-NO: JP63138386
APPL-DATE: June 7, 1988

INT-CL_(IPC): H01L029/80; H01L021/20 ; H01L029/203

ABSTRACT:

PURPOSE: To provide high carrier mobility and high carrier concentration and to accelerate a switching speed by forming a carrier moving layer in a doping superlattice structure formed of a doped layer and an undoped layer.

CONSTITUTION: A carrier moving layer 14 has a doping superlattice structure formed by alternately laminating N-type GaAs layers 21 in which an impurity such as Si is doped and GaAs layers 22 in which it is not doped. In this case, the thickness of each layer is preferably extremely thin such as 100 \AA ; or less. Particularly, the layer 21 is preferably 1 to 50 \AA ; , and the layer 22 is preferably 50-100 \AA ; thick. The number of the laminated layers is preferably 4 to 30. In this case, the layer 14 can obtain electrons as moving carrier from the layer 21. A potential difference between the layers 21 and 22 is very small. The layer 22 is not affected by the

influence of the ionized
impurity, and the electrons can move at a high speed.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-308082

⑤ Int.Cl.⁴H 01 L 29/80
21/20
29/203

識別記号

庁内整理番号

H-7735-5F
7739-5F
8526-5F

⑬ 公開 平成1年(1989)12月12日

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-138386

⑰ 出 願 昭63(1988)6月7日

⑱ 発 明 者 中 村 修 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

(1) 半導体支持体と、この支持体上に形成されドーピング層と非ドーピング層とからなるドーピング超格子構造を有するキャリア移動層と、このキャリア移動層の上にヘテロ接合するように形成されキャリア移動層よりもエネルギーバンドギャップが広い半導体層と、この半導体層上に適長間隔をおいて設けられたソース及びドレイン電極と、これら電極間を流れる電流を制御するためのゲート電極とを有することを特徴とする半導体装置。

(2) 前記ドーピング層の厚みが1乃至50Åの範囲内であり、前記非ドーピング層の厚みが50乃至100Åの範囲であることを特徴とする請求項第1項に記載の半導体装置。

(3) 前記ドーピング層はn型のGaAsで形成されており、前記非ドーピング層はGaAsで形成されていることを特徴とする請求項第1項又は

第2項に記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、高電子移動度を有する電界効果型の半導体装置に関する。

〔従来の技術〕

近時、HEMT (High Electron Mobility Transistor 高電子移動度トランジスタ) と称される高速半導体デバイスが注目されている。このHEMTは速い動作特性を示すことからスイッチング素子等としての利用が期待されている。

第3図にHEMTの基本構造を示す。GaAs基板1上にバッファ層2が設けられ、このバッファ層2の上にドーピングされないGaAs層3及びドーピングされたAlGaAs層4がこの順に形成され、この層4の上面にソース電極5、ドレイン電極6及びゲート電極7が設けられている。この場合に、ドーピングされたAlGaAs層4はGaAs層3よりもバンドギャップが広いため、層4に存在するドーピングされたキャリアが

GaAs 層 3 に供給されて GaAs 層 3 の境界部 3a を走行する。GaAs 層 3 はドーピングされていないから、キャリアが不純物イオンによる散乱を受けない。従って、キャリアは GaAs 層 3 中を高移動度で走行し、このため大きな相互コンダクタンスを得ることができ、高速スイッチングが可能となる。

【発明が解決しようとする課題】

ところで、このような構造を有する HEMT においては、GaAs 層 3 と AlGaAs 層 4 との境界部分のエネルギーポテンシャルは第 4 図に示すようになり、移動するキャリアはヘテロ接合界面近傍において 2 次元ガスを形成しており、非常に小さな厚みを有してキャリア濃度は小さい。

これに対し、HEMT におけるスイッチング速度を更に増加させようとした場合、相互コンダクタンスを一層増加させなくてはならず、このためには GaAs 層 3 を走行するキャリア濃度を増加させる必要がある。

このように走行するキャリア濃度を増加させる

ためには、AlGaAs 層 4 のドーピング濃度を増加させることが考えられる。しかしながら、この場合にはキャリア濃度が一定以上になるとキャリアが層 4 にたまり、層 3 を走行するキャリア濃度を有効に増加させることができない。

このような問題を解決するために、層 3 にドーピングすることも考えられるが、不純物イオンによるキャリアの散乱のためキャリアの高移動度が損われてしまう。

この発明は以上のような事情に鑑みてなされたものであって、高キャリア移動度及び高キャリア濃度を有し、スイッチング速度が極めて大きい半導体装置を提供することを目的とする。

【課題を解決するための手段】

この発明に係る半導体装置は、半導体支持体と、この支持体上に形成されドーピング層と非ドーピング層とからなるドーピング超格子構造を有するキャリア移動層と、このキャリア移動層の上にヘテロ接合するように形成されキャリア移動層よりもエネルギーバンドギャップが広い半導体層と、こ

の半導体層上に適長間隔をおいて設けられたソース及びドレイン電極と、これら電極間を流れる電流を制御するためのゲート電極とを有することを特徴とする。この場合に、ドーピング層の層厚が 1 乃至 50 Å であることが好ましく、非ドーピング層の層厚が 50 乃至 100 Å であることが好ましい。なお、ドーピング超格子を形成するドーピング層及び非ドーピング層は、夫々、n 型の GaAs 及び GaAs で形成することができる。

【作用】

この発明においては、キャリア移動層をドーピングされた層とドーピングされない層とからなるドーピング超格子構造とした。この発明のドーピング超格子は、極めて薄いドーピング層と非ドーピング層とが交互に積層したものである。このドーピング超格子は、各層間のポテンシャルの差が極めて小さいため、ドーピング層のキャリアが非ドーピング層にも広がる。非ドーピング層ではキャリアの移動がイオン化した不純物原子と空間的に分離されており、高いキャリア移動度を得るこ

とができる。また、不純物のドーピングをヘテロ接合したバンドギャップが広い半導体層ではなく、キャリア移動層に直接行なっているので高いキャリア濃度を得ることができる。従って、高い相互コンダクタンスを得ることができ、スイッチング速度を著しく高めることができる。

【実施例】

以下、添附図面を参照してこの発明の一実施例について具体的に説明する。

第 1 図はこの実施例に係る半導体装置を示す断面図である。第 1 図中、参照符号 11 は GaAs 基板を示し、この基板 11 の上には GaAs バッファ層 12 が形成されており、これら基板 11 及びバッファ層 12 により支持体 13 が構成されている。バッファ層 12 の上には後述するドーピング超格子構造のキャリア移動層 14 が形成されており、このキャリア移動層 14 の上には AlGaAs 層 15 が形成されている。AlGaAs 層 15 の上面には、ソース電極 16 及びドレイン電極 17、並びにソース及びドレイ

ン電極16、17の間にゲート電極18が設けられている。

キャリア移動層14は、不純物例えばSiがドーピングされたn-GaAs層21とドーピングされないGaAs層22が交互に積層してなるドーピング超格子構造を有している。この場合に、各層の厚みは100Å以下程度と極めて薄いことが好ましく、特に、n-GaAs層21が1乃至50Å程度であり、GaAs層22が50乃至100Å程度であることが好ましい。また、積層数は4層乃至30層程度が好ましい。この場合に、キャリア移動層14はドーピングされたn-GaAs層21を含んでいるので、この層21から移動キャリアとしての電子を得ることができ、従来のHEMTよりもキャリア濃度を増加させることができる。

また、ドーピング超格子を構成する層21及び層22の間のポテンシャルの差は、第2図に示すように極めて小さく、ほとんど差がないといつてよい。この点において、ドーピング超格子と組成

性を有するドーピング超格子構造としたので、相互コンダクタンスを大きくすることができ、スイッチング速度を極めて高速にすることができる。

なお、この実施例においては、キャリア移動層としてn-GaAs層及びGaAs層のドーピング超格子構造としたが、これに限らず、例えばn-InAs及びInAs等、他の材料で形成することもできる。また、キャリア移動層を構成するドーピング層としては上述のようなn型に限らずZn、Be等をドーピングしたp型でもよい。この場合には、移動するキャリアはホールである。更に、キャリア移動層の上に形成される半導体層としてAlGaAsを使用したか、これに限らず、要するにキャリア移動層よりもバンドギャップが広い半導体であればよい。

[発明の効果]

この発明によれば、キャリア移動層をドーピングされた層とドーピングされない層とからなるドーピング超格子構造としたので、各層間のポテンシャルの差が極めて小さく、ドーピング層のキャ

リヤとを明確に区別することができる。このように層21と層22のポテンシャルの差が小さいので、n-GaAs層21からGaAs層22にも電子が広がり、ソース電極16とドレイン電極17との間に所定電圧を印加した場合に、ドーピングされていないGaAs層22中をも電子が移動するようになる。この場合に、GaAs層22はドーピングされていないので、イオン化した不純物による影響を受けることなく電子が高速で移動する。特に、ドーピングされたn-GaAs層21が数Åの場合には、キャリア移動層14中の大部分の電子がイオン化した不純物電子と空間的に分離されることとなるため、極めて高い電子移動度を示す。

このように構成される半導体装置は、基本的には電界効果型トランジスタであるから、ソース電極16及びドレイン電極17に所定電圧を印加しつつゲート電極18によりキャリア移動層14を流れる電流値を制御することにより動作させる。この際に、キャリア移動層14を前述のような特

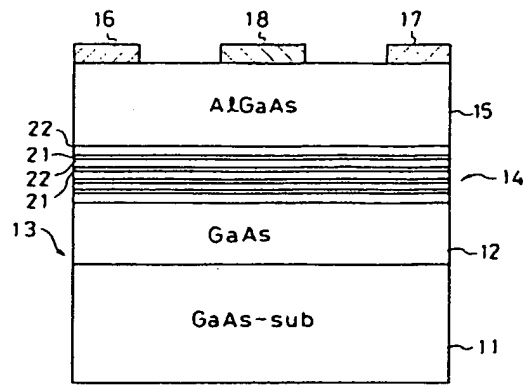
リヤが非ドーピング層にも広がり、高いキャリア濃度を得ることができる。しかも、非ドーピング層ではキャリアの移動がイオン化した不純物原子と空間的に分離されており、高キャリア移動度を得ることができる。従って、高い相互コンダクタンスを得ることができ、スイッチング速度を著しく高めることができる。

4. 図面の簡単な説明

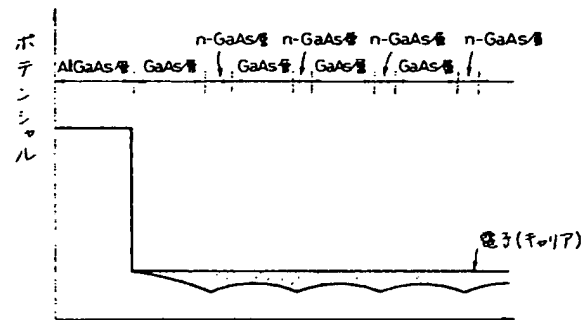
第1図はこの発明の一実施例に係る半導体装置を示す断面図、第2図はそのエネルギーバンド図、第3図は従来のHEMTを示す断面図、第4図はそのエネルギーバンド図である。

13…支持体、14…キャリア移動層、15…半導体層、16、17、18…電極、21…ドーピング層、22…非ドーピング層。

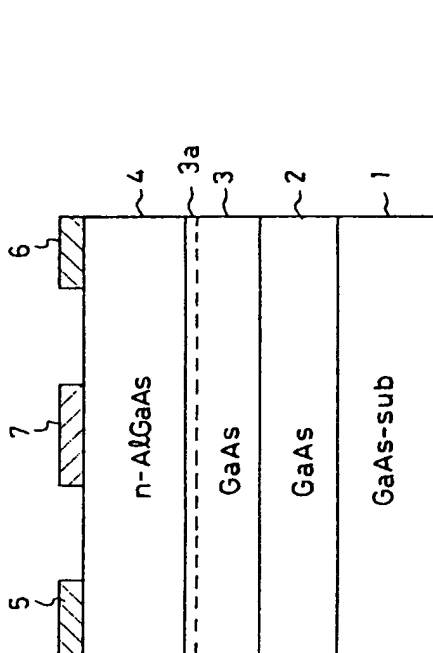
特許出願人 カシオ計算機株式会社



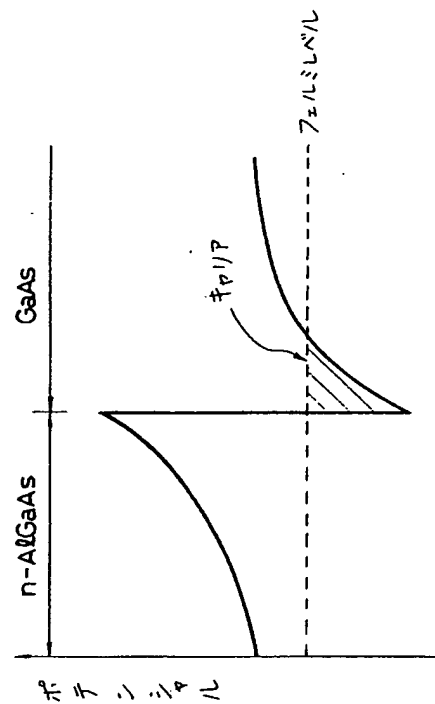
第 1 図



第 2 図



第 3 図



第 4 図